

Technische Universität Berlin

Institut für Sprache und Kommunikation

Fachgebiet Audiokommunikation (vormals Kommunikationswissenschaft)

Exposé zur Masterarbeit

**Implementierung von FIR-Filtern für Audio-Signale –
Optimierung für latenzkritische Anwendungen**

Kay Knofe

Matr.-nr. 230235

info@kayknofe.de

Abstract:

In dieser Arbeit sollen technische Mittel und Wege untersucht werden, mit denen die Realisierungen latenzarmer Faltung von Audiosignalen umsetzbar ist. Der Fokus soll hierbei vor allem aber auf dem Einsatz von FPGAs¹ liegen. Dabei sollen Vor- und Nachteile dieser Technik gegenüber traditioneller Vorgehensweise, FFT-basierend im PC oder mit DSPs, erläutert und beispielhaft eine praktische Umsetzung beschrieben werden. Als Ausblick soll auch auf die Möglichkeit eingegangen werden, in PC-Systemen solche Berechnungen mit Hilfe von Grafikprozessoren durchzuführen.

Einleitung und Fragestellung:

Die Simulation von vielen parallelen LTI-Systemen oder auch einzelnen LTI-Systemen mit langen Impulsantworten durch Faltung wird bisher auf Grund des niedrigeren Rechenaufwands im Frequenzbereich vorgenommen. Dabei ist aber die auftretende Latenz durch die Treiberarchitektur eines PCs und deren Soundkarten fast immer wahrnehmbar.

Eine Lösung im Zeitbereich wird überhaupt nur mit auf Signalverarbeitung spezialisierten Schaltkreisen möglich, wie zum Beispiel DSPs, Grafikprozessoren oder FPGAs.

Diese FPGAs müssen eine hohe Anzahl spezieller DSP-Strukturen aufweisen, so genannte DSP-Slices. Die DSP-Slices in FPGAs sind fest angelegte Blöcke innerhalb des ansonsten frei konfigurierbaren Chips. Sie bestehen im Wesentlichen immer aus den Registern in den Pipeline-Stufen sowie am Ein- und Ausgang, einem Multiplizierer, einem Addierer und mehreren Signalmultiplexern. Ihr Aufbau und der Einsatz in FIR Filtern soll den Hauptteil dieser Arbeit ausmachen.

Es soll auch darauf eingegangen werden wie mit Hilfe optimierten Methoden [1] der Faltung im Frequenzbereich und hybrider Ansätze [2] die Leistungsfähigkeit noch ausgebaut wird.

In einem weiteren Teil soll beispielhaft auf Einsatzgebiete für latenzarme FIR-Filter im Audibereich eingegangen und der Weg in eine praktische Umsetzung angedeutet werden. Auch soll über Probleme bei der Umsetzung mit den verschiedenen Technologien gesprochen werden. Einsatzmöglichkeiten der latenzarmen Faltung im wissenschaftlichen Bereich wären zum Beispiel die Mehrkanalfaltung für den Dodekaeder der RWTH Aachen [3], spezielle Hörversuche mit Hilfe der Binauralsynthese oder auch im Rahmen der Wellenfeldsynthese.

In einem Ausblick soll auf die Verwendung von Grafikprozessoren auf diesem Gebiet eingegangen werden. Diese bieten durch ihre hohe Anzahl paralleler Prozessorkerne eine sehr hohe Leistung im Bereich der Floating-Point-Arithmetik. Diese Möglichkeiten werden Nicht-Grafikanwendungen zur Verfügung gestellt, in Form von dafür geschaffenen Sprachen und APIs. Zu nennen sind hier NVIDIA CUDA [4],

¹ Field Programmable Gate Array, ein programmierbarer integrierter Schaltkreis aus Logikelementen, Interconnects, Speicher und teils festen Strukturen (CPU-Kerne, Multiplizierer)

AMD/ATI Stream SDK [5] und der Standard OpenCL der Khronos Group [6], welcher von vielen Herstellern unterstützt wird, unter anderem auch von NVIDIA und ATI.

Stand der Forschung (& Technik)

Frühe Ansätze kommerziellen Faltungshalls basierten auf ASICs². So waren im Sony DRE-S777 [7] elf DSPs aus Eigenentwicklung und der Yamaha SREV1 konnte bis auf vierundsechzig sogenannter YDAP1s³ ausgebaut werden [8]. Dies entspricht maximal 5,5 Sekunden Impulsantwortlänge beim DRE-S777 und maximal 520000 Taps oder 10,52 Sekunden pro Kanal im Stereomodus beim SREV1.

Diese Geräte konnten ein oder zwei, aber maximal vier Kanäle bearbeiten. Keines dieser Geräte wird mehr hergestellt oder vertrieben.

Auf PCs existieren seit einiger Zeit FFT-basierende Lösungen für Equaliser, Raumhallzeugung oder auch Raumsimulation.

Beispiele einer Hallanwendung sind die Plug-Ins Waves IR-1 [9], Audioease Altiverb [10] oder Apple Space Designer, welcher im Logic Studio Bundle enthalten ist [11]. Bei den linearphasigen Equalizern sind als Beispiele zu nennen Apple Linear EQ [11], Waves Linear Phase EQ und Q-Clone [9]. FIR-Filter kommen auch im Bereich von Raumsimulationen zum Einsatz, auch hier wird die Faltung im Frequenzbereich vorgenommen. Beispiele hierfür sind das Binauralsynthesystem und die WFS an der TU-Berlin [12].

Um die Faltung im Zeitbereich durchzuführen, reichen derzeit normale CPUs nicht aus für die benötigte Impulsantwortlänge. Grafikkarten mit ihren parallelen Vektoreinheiten bieten hier eine gute Alternative. Es gibt mittlerweile Plug-Ins und Anwendungen, die auf NVIDIAs CUDA basieren, zum Beispiel Koonlab CUDA-FIR [12]. Hier werden linearphasige und steilflankige Frequenzweichen auf einer Grafikkarte berechnet. Auch gibt es Hall-Plug-Ins wie Nils Schneiders GPU Impulse Reverb [14] oder Liquidsonics Reverberate LE [15]. Letztere sind jedoch noch in experimentellem Zustand.

Es gibt ein paar als Nischenprodukt platzierte, auf DSPs basierende Geräte, wie das Powerhouse von Weiss [16] oder der Electro-voice N8000-1500 [17]. Beide bieten Modularität bei der technischen Ausführung und Arbeitsweise. Diese Geräte nutzen parallele DSPs, welche den Leistungsbedarf der FIR-Filter und anderer Aufgaben decken sollen. So bietet der N8000 bis zu 1,9 Milliarden Instruktionen pro Sekunde im Vollausbau an. Das Powerhouse bietet zwei Milliarden Instruktionen durch zehn Analog Devices Shark DSPs⁴. Da beide Geräte modular sind, bietet sich jederzeit ein Umstieg auf neuere und leistungsfähigere Chips an. Leider sind diese Produkte vergleichsweise teuer.

² Application Specific Integrated Circuit, ein vom Anwender entwickelter IC, hier: im Gegensatz zu DSPs von reinen Chip-Anbietern

³ Yamaha Digital Audio Processor

⁴ Stand November 2009

Methoden und Quellen

In dieser Arbeit soll zunächst der Stand der aktuell verfügbaren Technik erfasst und verglichen werden. Deshalb werden hier als Quellen vor allem Datenblätter und Application Notes verschiedener Hersteller herangezogen.

Im zweiten Hauptteil der Arbeit soll eine Herangehensweise an die FPGA-basierende Faltung erläutert werden. Dazu werde Ich allem die Erfahrungen aus meinen Vorarbeiten verwendet.

Vorarbeiten

Im Zuge der Lehrveranstaltung „ARMLAB – System on Chip Projekt“ am Fachbereich Mikroelektronik der TU-Berlin wurde von meiner Projektgruppe ein Mono-Faltungshall auf einem Virtex-IV-FPGA [18] entwickelt, welcher mit 48,5kHz Samplerate latenzfrei 61440 Taps falten kann.

Mein Anteil an dieser Entwicklung war der MACC- beziehungsweise FIR-Kernel basierend auf einem DSP48-Slice und Block-Ram der XILINX-Virtex4-Architektur. Gemeinsam mit der Projektgruppe wurde daraus eine verschachtelte⁵ direkte FIR-Filterstruktur entwickelt, wobei dieser Kernel generativ instanziiert wurde um alle freien DSP48-Slices auszunutzen. Die dabei entstandenen Programmierungsteile sollen als Beispiel erläutert werden. Vorausgreifend ist zu erwähnen, dass der verwendete FPGA weder der neuesten Generation angehört, noch in seiner Generation zu den größeren gehört.

Arbeits- und Zeitplan

Arbeitsschritt	Zeitaufwand
Vorarbeit	Januar-Mai 2010
Theoretische Aufarbeitung	April 2010
Tiefenrecherche Technologien	Mai 2010
Abhandlung in Schriftform	Juni 2010
Abgabe	ca Juli 2010

Literatur

- [1] Garcia (2002) *Optimal Filter Partition for Efficient Convolution with Short Input/Output Delay*, 113th AES Convention
- [2] William G. Gardner (1994) *Efficient Convolution without Input-Output Delay*, 97th AES Convention
- [3] RWTH Aachen Institut für Technische Akustik https://www.akustik.rwth-aachen.de/Forschung/Projekte/ela_dode , am 12.11.2009
- [4] NVIDIA Corp. http://www.nvidia.com/object/cuda_home.html , am 12.11.2009

⁵ Die direkte Struktur war dabei seriell und parallel, also bestand aus sechzig räumlich parallelen Einzelstrukturen die wiederum 1024 Taps zeitlich seriell berechnen.

- [5] Advanced Micro Devices Inc. AMD/ATI <http://ati.amd.com/technology/streamcomputing/> , am 5.10.2009
- [6] Khronos Group <http://www.khronos.org/opencv/> , am 5.10.2009
- [7] Sony Professional DRE-S777 Broschüre DRE-S777.pdf (2001)
- [8] Yamaha Corp. <http://www.yamaha.com/yamahavgn/CDA/ContentDetail/ModelSeriesDetail/0,,CNTID%253D42173%2526CTID%253D560494,00.html> , am 12.11.2009
- [9] Waves Audio Ltd. <http://www.waves.com/> , am 12.11.2009
- [10] AudioEase <http://www.audioease.com/Pages/Altiverb/AltiverbMain.html> , am 12.11.2009
- [11] Apple Inc. <http://www.apple.com/logicstudio/> , am 12.11.2009
- [12] Technische Universität Berlin, Fakultät 1, Fachgebiet Audiokommunikation <http://www.ak.tu-berlin.de/> , am 12.11.2009
- [13] Koonlab http://koonlab.com/CUDA_RealFIR/CUDA%20Real%20FIR.html , am 20.10.2009
- [14] Nils Schneider http://www.nilsschneider.de/cms/index.php?option=com_content&task=view&id=29&Itemid=26 , am 12.11.2009
- [15] Liquidsonics http://www.liquidsonics.com/software_reverberate_le.htm , am 20.10.2009
- [16] Weiss Engineering Ltd., <http://www.weiss.ch/powerhouse/powerhouse.html> , am 19.11.2009
- [17] Electro-Voice <http://www.electro-voice.com/products/932.html>, am 19.11.2009
- [18] Xilinx Virtex-4 FPGA Manual (April 2008) http://www.xilinx.com/support/documentation/virtex-4_user_guides.htm
- [19] Xilinx *DSP: Designing for Optimal Results High-Performance DSP Using Virtex-4 FPGAs* (2005): Xilinx.com
- [20] Van den Enden und Verhoecks (1990) *Digitale Signalverarbeitung*, Eindhoven: Vieweg Fachbücher der Technik